

CORR. VS 5,466,960 and VS 5,079,182

10-0230610

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. [°] H01L 27/10 D04B 9/46	(45) 공고일자 1999년11월15일 (11) 등록번호 10-0230610 (24) 등록일자 1999년08월24일
(21) 출원번호 10-1991-0004978	(65) 공개번호 특1991-0019216
(22) 출원일자 1991년03월29일	(43) 공개일자 1991년11월30일
(30) 우선권 주장 503345 1990년04월02일 미국(US)	
(73) 특허권자 내셔널 세미콘덕터 코포레이션 몰라크 3세 존 엠. 미국 캘리포니아주 95052-8090, 산타 클라라, 2900 세미콘덕터 드라이브 비다 알데렘	
(72) 발명자 미합중국 워싱턴98374 푸알업 21스트리트에스.이.3703 스테벤 마크 라이비거 미합중국 워싱턴98338 그라함 99애비뉴이.25701	
(74) 대리인 목돈상, 목영동, 목선영	

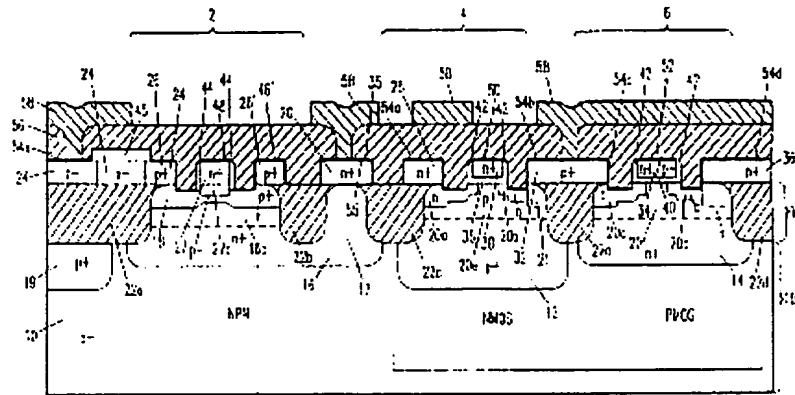
심사관 : 권근모

(54) 자기정렬된 웰함을 지니는 BICMOS 디바이스 및 그 제조방법

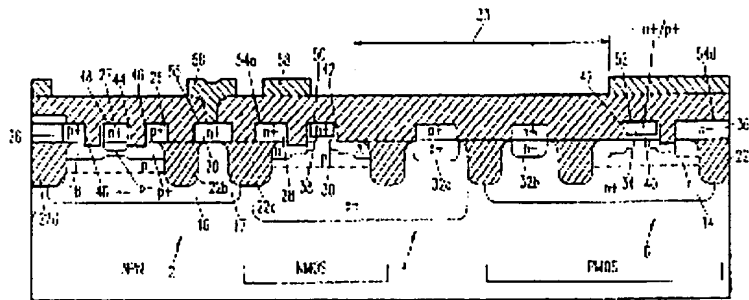
요약

단일 폴리실리콘 공정을 사용하여 형성되는 전계 효과 디바이스용 웰함 및 실리사이드 층이 제공되어 있다. 웰과 접촉하는 폴리실리콘층은 상기 웰과 동일한 방식으로 도우핑되지만 소오스 또는 드레인과는 반대로 도우핑된다. 실리사이드 층은 전계 효과 디바이스에 대한 소오스 또는 드레인, 웰함, 및 게이트 접점의 상부 및 측벽 표면에 형성된다. 상기 실리사이드 층은 측벽 실리사이드로부터 트랜지스터의 상부 표면을 가로 질러 트랜지스터 게이트의 측벽 산화물에 이르기 까지 연장된다. 상기 구조는 종래의 디바이스에서 사용되는 측면으로 이격된 개별 웰함을 제거하는 것을 가능하게 한다. 상기 측면으로 이격된 웰함의 제거는 보다 높은 패킹 밀도를 허용하며, 매몰 층-기판 캐패시턴스를 낮춘다.

제 1 도



제 1 도



제 1a 도

발명사

[발명의 명칭]

자기정렬된 웰층을 지니는 BICMOS 디바이스 및 그 제조 방법

[도면의 간단한 설명]

제 1도는 본 발명의 한 실시예에 따른 BICMOS 구조의 단면도.

제 2a도 내지 제 2n도는 BICMOS 디바이스의 제조를 예시하는 도면.

제 3도는 본 발명의 한 실시예에 따른 바이폴라 트랜지스터에 대한 I_c 대 V_{ce} 의 관계를 보여주는 도면.

제 4a도 및 제 4b도는 PMOS 및 NMOS 트랜지스터 각각에 대한 I_{dH} 대 V_{gs} 의 관계를 보여주는 도면.

제 5도는 본 발명의 한 실시예를 시험하는 데 사용되는 BICMOS 링 셀을 예시하는 도면.

[발명의 상세한 설명]

발명의 분야

본 발명은 반도체 디바이스 및 그 제조의 분야에 관한 것이다. 보다 구체적으로는, 한 실시예에 있어서의 본 발명은 단일 기판상에 바이폴라 및 상보형 금속 산화물 반도체(complementary metal oxide semiconductor) 디바이스 및 그러한 디바이스를 제조하는 방법에 관한 것이다.

관련 기술의 설명

바이폴라 및 CMOS 디바이스 및 그의 제조 방법은 수년간 잘 알려져 왔다. 최근 들어, 두가지 형태의 디바이스의 이점들은 단일 기판상에 두가지 형태의 디바이스를 사용하는 회로들내에 유익하게 합체되어 왔다. 바이폴라 및 CMOS 디바이스 모두를 합체하고 있는 회로들은 "BICMOS"로서 알려져 왔다. BICMOS 디바이스는 바이폴라 디바이스의 고속 이점과 아울러, CMOS 디바이스의 높은 팩킹 밀도 및 낮은 전력소모의 이점을 제공한다. 한 BICMOS 디바이스 및 그의 제조 방법은 본원의 양수인에게 양도된 미국 특허 제 4,764,480호(Vora 명의)에 기재되어 있다.

어느 정도의 성공을 거두고 있지만, BICMOS 기술은 몇가지 제약을 계속 받고 있다. 예를 들면, 소오스 및

드레인 영역으로 부터 측면으로 이격된 웰층은 때때로 디바이스의 표면적을 점유한다. 그와 같은 웰층에 의해 점유된 공간 면적 때문에, 기판상에 배치될 수 있는 디바이스 및 회로의 수가 원하는 것보다 적어진다.

상기한 내용으로 부터 알 수 있는 바와 같이, 개선된 BICMOS 구조 및 그의 제조 방법은 개선된 성능을 갖는 디바이스를 제공하고, 또한 디바이스 및 회로의 배치를 위해 면적을 증가시키는 구조를 제공하는 것이 바람직하다.

발명의 개요

개선된 BICMOS 디바이스 및 그의 제조 방법이 개시되어 있다. 본 발명은 개선된 성능 및 감소된 사이즈를 갖는 디바이스 및/또는 보다 간단하고 경제적으로 제조될 수 있는 디바이스를 제공한다. 단일 폴리실리콘 및 실리콘사이드 기법을 사용하여 형성된 자기정렬된 웰층은 소오스 및 드레인 영역으로 부터 측면으로 이격된 웰층 영역에 대한 필요성을 없앤다. 예를 들면, 종래의 측면 이격 분리된 웰층은 대략 3.2미크론 정도의 과잉 폭을 점유하였고, 그러므로 본 발명은 디바이스 패킹 밀도에 있어서 웰층당 3.2미크론을 절감한다. BICMOS 공정은 예를들면 146nm BICMOS 공정의 환경에서 사용하기 위해 0.8 μ m 게이트 길이의 CMOS 디바이스를 제공한다. 본원에 개시된 디바이스는 예를 들면 고성능 에미터 결합 논리(ECL) 표준 셀 설계, 메모리 셀, 내장형 메모리를 갖는 게이트 어레이 설계등과 함께 사용될 수 있다.

한 실시예에 있어서, 본 발명은 기판내에 활성 영역을 형성한 다음에, 에피택셜 실리콘 성장, 산화를 분리, 및 폴리실리콘 데포지션을 이행하는 단계들을 포함한다. 폴리실리콘은 MOS 및 바이폴라 디바이스, 웰층, 기판층, 및 국부 상호 접속부를 형성하도록 주입 및 패터닝된다. 산화를 스페이서가 형성되고, 소오스-드레인 및 베이스 접점으로 부터 선택적으로 제거된 후에, 고용점 금속 피막이 모든 구조의 상부 및 측면상에 데포지션된다. 상기 금속은 하부에 놓인 폴리실리콘 및 에피택셜 실리콘과 반응되어 분리 전계 산화를 및 스페이서상이면 어디든지 낮은 저항의 실리콘사이드 층을 형성한다. 그리하여, 상기 실리콘사이드 층은 바이폴라 베이스 및 CMOS 소오스-드레인 폴리실리콘 접점을 에피택셜 실리콘에 전기적으로 접속시킨다. 상기 게이트 및 에미터 폴리실리콘이 상기 에피택셜 실리콘과 단락되는 것은 스페이서 산화물에 의해 방지된다. 폴리실리콘 소오스-드레인 접점이 실리콘사이드에 의해 에피택셜 소오스-드레인 접점에 접속되기 때문에, 상기 폴리실리콘 접점 및 소오스-드레인 영역이 동일한 도우핑을 지니는 것이 반드시 필요치 않다. 더군다나, 상기 에피택셜 소오스-드레인 영역과는 반대로 상기 폴리실리콘 접점을 계획적으로 도우핑함으로써, 상기 소오스-드레인 에피택셜 영역 및 상기 에피택셜 터브(tub; 웰(well))영역과의 전기적 접속은 단일의 통합 구조에서 달성됨으로써, 개별적 측면 분리된 웰층 영역에 대한 필요성을 없앨 수 있다.

본 발명의 더 나은 이해는 이하 본 발명의 바람직한 실시예 및 첨부된 도면을 참조하면 실현될 수 있다.

[바람직한 실시예]

요약

- I. 일반 개념
- II. BICMOS 디바이스의 제조 순서
- III. 디바이스 성능
- I. 일반 개념

제1도는 본 발명의 한 실시예에 따른 BICMOS 디바이스를 단면으로 예시한 것이다. 상기 디바이스는 바이폴라 트랜지스터(2; 제1도에 도시된 실시예에서는 NPN 트랜지스터임), n-채널 MOSFET(NMOS 트랜지스터; 4), 및 p-채널 MOSFET(PMOS 트랜지스터; 6)를 포함한다. 상기 NMOS 트랜지스터(4) 및 상기 PMOS 트랜지스터(6)는 CMOS 구조(8)를 형성하도록 적절하게 접속되어 있다. 상기 디바이스는 단결정 몸체(10a) 및 에피택셜 층(11)을 포함하는 것이 바람직한 기판(10) 상에 제조된다. 제1도에 도시된 실시예에서는, 상기 기판은 약 1×10^{18} 내지 1×10^{19} 원자/cm²의 도우펀트 농도를 지니는 p-형 기판이다.

대부분의 실시예에 있어서, NMOS 트랜지스터(4)는 p-터브 또는 웰(12)내에 형성되며 PMOS 트랜지스터(6)는 n-터브 또는 웰(14) 내에 형성된다. 바람직한 실시예에 있어서, 상기 n-웰(14)은 약 1×10^{18} 내지 1×10^{19} 의 농도로 도우핑되고 p-웰(12)은 약 5×10^{18} 내지 1×10^{19} 의 농도로 도우핑되지만, 도우펀트 농도의 넓은 범위는 본 발명의 범위로 부터 이탈하지 않고서도 사용될 수 있다. 웰(12, 14)은 삼보형 도전 디바이스가 단일 기판상에 형성될 수 있게 한다.

NPN 트랜지스터(2)에는 중후하게 도우핑된 매몰 층(16) 및 콜렉터 싱크(17)가 제공되어 있으며, 이들은 함께 p-형 베이스(18) 하부에 있는 콜렉터(16a) 및 콜렉터 접점(20) 사이에 낮은 저항의 접속 영역을 제공한다. 바람직한 실시예에 있어서, 매몰 층(16) 및 싱크(17)는 약 1×10^{18} 내지 1×10^{19} 의 농도로 도우핑된다. 콜렉터(16a)는 베이스 영역(18) 및 매몰 층(16) 사이에 형성된 보다 얇게 도우핑된 n-형이다. 에미터 영역(27a)은 에미터 접점(27)로 부터 하부에 놓인 에피택셜 층(11) 내로 확산된다. 당업자에게는 에미터 접점(27)이 때때로 에미터로서 언급된다는 점을 이해하여야 한다. 본원에서는 의미상 어떠한 차이를 두지 않는다.

NMOS 및 PMOS 디바이스(4, 6)는 기판(10)의 에피택셜 층(11)내에 형성된 영역을 포함한다. n-도우핑된 영역(20a, 20b)은 채널 영역(20c)에 의해 분리된 NMOS 디바이스의 소오스 및 드레인 영역을 형성한다. p-도우핑된 영역(20d, 20e)은 채널 영역(20f)에 의해 분리된 PMOS 디바이스의 소오스 및 드레인 영역을 형성한다. NMOS 드레인(20b)에 인접한 에피택셜 영역(21)은 p-형 영역이고 따라서 웰층(32) 및 NMOS 웰(12) 사이에 경로를 형성한다.

p-채널 정치 영역(19)은 NPN 트랜지스터 및 인접 디바이스 사이에 제공되어 매몰 층(16)이 인접 디바이스와의 단락 회로를 이루게 하는 얇게 도우핑된 기판의 표면 반전을 방지한다. NMOS 트랜지스터(4) 및 PMOS 트랜지스터(6) 사이, 싱크(17) 및 베이스(18) 사이, NMOS 및 PMOS 트랜지스터 사이, 및 제1도에 도시된

트랜지스터 및 인접 트랜지스터 사이에는 디바이스의 분리를 위해 산화를 분리영역(22a, 22b, 22c, 22d, 22e) 각각이 제공되어 있다. 상기 구조를 위에서 보면, 이들의 산화를 분리 영역은 서로 접속하여 활성 디바이스 부위 둘레에 환형 테를 형성한다.

그러한 디바이스의 표면을 따라서는 레지스터(24), p+ 베이스 접점(26; 이는 또한 레지스터(24)에 대한 중단 접점으로서의 기능을 함; 26'), 에미터 접점(27), n+플렉터 접점(20), NMOS 소오스 접점(28), NMOS 게이트(30), 웰렘/NMOS 드레인 접점(32), 상기 웰렘(32)에 연장하는 PMOS 드레인 접점(36), PMOS 게이트(34), 및 PMOS 소오스 접점(36a)을 형성하는 다결정 실리콘(폴리실리콘) 영역이 존재한다.

이와는 대조적으로, 제1a도는 개별 측면 이격된 웰렘(32a, 32b)이 제공되는 경우 제1도에 도시된 실시예가 어떠한 방식으로 나타나는지를 보여 준다. 알다시피, 개별 측면 이격된 웰렘이 제공되는 경우에는 추가적인 디바이스 폭(33)이 필요하다.

제1도에 도시되어 있는 바와 같이, 얇은 게이트 산화를 층(38, 40)은 NMOS 및 PMOS 게이트 하부에 제공되어 있으며, 측벽 산화물(42)은 NMOS 및 PMOS 게이트의 측면상에 제공되어 있다. 바람직한 실시예에 있어서, NMOS 게이트(30)는 중후하게 도우핑된 n+ 폴리실리콘으로 형성되고, PMOS 게이트(34)는 n+ 또는 p+ 폴리실리콘으로 형성되지만, n+ 폴리실리콘이 매몰된 채널 디바이스를 제공하고 p+ 폴리실리콘이 표면 채널 디바이스를 제공하기 때문에 n+ 폴리실리콘이 바람직하다. 측벽 산화물(44)은 또한 바이폴라 에미터(27)의 측벽상에 제공된다. 산화를 층(45)은 달리 레지스터의 도전율을 증가시킬 실리콘사이드의 형성을 방지하도록 레지스터(24)의 중심상에 배치되어 있다.

고용점 금속 실리콘사이드 접점(46, 46')은 p+ 바이폴라 트랜지스터 베이스 접점(26, 26') 상에 형성되어 있다. 상기 실리콘사이드 접점은 상기 베이스 접점의 상부, 상기 베이스 접점의 측벽, 및 상기 베이스 접점의 측벽으로부터 상기 에미터 접점(27)의 측벽 산화물에 이르는 베이스 영역을 도포한다. 개별 실리콘사이드 접점(48)은 측벽 스페이서 산화물 영역(44) 사이에서 상기 에미터(27)의 상부를 따라 제공되어 있다. 본 도면에 도시된 고용점 금속 접점은 베이스 접점의 저항률을 감소시킴으로써, 디바이스의 속도를 증가시킨다.

마찬가지로, 실리콘사이드 접점은 플렉터 접점(20), NMOS 소오스(28), NMOS 게이트(38), p+ 웰렘(32), PMOS 게이트(34), 및 p+ 소오스 접점(36a)을 제공한다. 상기 에미터 접점(27)에 대한 접점과 마찬가지로, NMOS 및 CMOS 게이트에 대한 실리콘사이드 접점(50, 52) 각각은 측벽 산화물에서 측벽 산화물까지만 확장한다. 이와는 반대로, NMOS 및 PMOS 소오스, 드레인, 및 웰렘 접점(28, 32, 36a)에 대한 실리콘사이드 접점(54a, 54b, 54c, 54d)은 폴리실리콘 접점의 상부 및 측벽을 도포하며 상기 소오스/드레인의 수평 부분을 따라 에피택셜 실리콘 층과 접촉하면서 상기 게이트(30, 34)의 측벽 산화물에 이르기까지 확장한다. 플렉터 접점(20)에 대한 실리콘사이드 접점(35)은 전계 산화물 영역(22b, 22c)까지 하방으로 상기 접점의 측벽을 도포함과 아울러, 상기 플렉터 접점(20)의 상부 표면을 도포한다. 실리콘사이드(54e)는 상기 레지스터(24)의 멀리 있는 중단 접점의 상부 표면의 일부를 도포한다. 상기 구조는 상호 접속용으로 사용되는 금속 층(58)으로부터 디바이스들을 절연하도록 두꺼운(0.7 내지 1.50마이크론) 산화물 층(56)을 부가적으로 포함한다.

II. BiCMOS 디바이스의 제조 순서

제2a 내지 제2n도는 제1도에 도시된 BiCMOS 디바이스의 제조를 예시한 것이다. 특히, 제2a도는 그러한 디바이스의 제1제조 단계에서의 그러한 디바이스의 단면을 예시한 것이다. 이러한 단계에 이르기 위하여, 단결정 몸체(10a)는 비소, 안티몬 또는 그와 같은 원소를 사용하여 n+웰(14) 및 NPN 매몰 층(16)을 동시에 형성하기 위해 마스킹되었다. 영역(14, 16)을 형성하기 위해 사용된 주입 에너지는 영역(14, 16)의 도우펀트 농도가 약 1×10^{18} 내지 1×10^{20} 이도록 약 50 내지 100KeV인 것이 바람직스럽다.

n+ 영역(14, 16)을 형성한 후에, 상기 디바이스는 이어서 p+ 채널 정지부(19) 및 상기 NMOS웰(12)을 동시에 형성하도록 마스킹된다. 상기 영역(19, 12)을 사용함에 있어서 사용되는 주입 에너지는 p+ 매몰 층의 도우펀트 농도가 약 1×10^{17} 내지 1×10^{18} 이도록 약 100 내지 180 KeV인 것이 바람직스럽다.

상기 매몰 층/채널 정지 마스크는 이어서 제거하고 약 1 내지 1.2, 바람직하게는 약 1.1마이크론의 두께를 지니는 진성 n-형 에피택셜 층(11)은 단결정 몸체(10a)의 표면을 가로 질러 성장된다. 이어서, 포토레지스트 마스크는 산화물 영역(22a, 22b, 22c, 22d, 22e)을 한정하도록 상기 디바이스상에 형성된다. 산화물 영역은 수정된 '측벽 마스크 분리(sidewall masked isolation; SWAMI)' 공정을 사용하여 형성된다. 상기 SWAMI 공정은 예컨대, Chin과 그의 동료 명의로 기고되어 1983년 4월 출간된 IEEE Transactions on Electron Devices, Vol. ED-29, No. 4, pp. 536-540에 기재되어 있다. 몇몇 실시예에 있어서, 그러한 공정은 참고가 되는 공동 계류중인 출원 제 502,943호에 기재되어 있는 바와 같이 수정된다.

그후, 약 250Å의 두께를 지니는 성장 스크린 산화물 층이 상기 디바이스의 표면에 형성되고 마스크가 형성된 다음에, 단지 싱크 영역(17)만을 노출시킨다. 약 100 내지 180KeV의 주입 에너지를 사용하는 싱크 주입은 도우펀트로서 인을 사용하는 것이 바람직하다. 상기 싱크 영역(17)에서의 결과적인 도우펀트 농도는 1×10^{18} 내지 1×10^{19} 이다. 이어서, 상기 싱크 마스크가 제거되고 개별 마스크/이온 주입이 이행되어 도우펀트로서 인을 사용하여 약 1×10^{18} 내지 1×10^{17} 의 농도로 PMOS 트랜지스터의 웰 및 채널 영역을 도우핑한다. 바람직한 실시예에 있어서, PMOS 웰 영역에 대해 사용되는 주입 에너지는 약 50 내지 180KeV이다. n-웰의 채널 영역에서의 결과적인 정미(net) 도우펀트는 1×10^{18} 내지 1×10^{19} 이다. 이어서, 싱크 및 n-웰은 어닐 처리되고 질소 분위기에서의 종래의 열 순환(thermal cycle)을 사용하여 가열함으로써 이송 확산(drive-in) 된다.

그후, NMOS 및 PMOS 트랜지스터 영역만을 노출시키는 디바이스의 표면에 마스크가 형성된다. 이러한 마스크는 제2b도에 도시된 바와 같이 한계 전압 주입용으로 사용된다. 그러한 주입은 채널 도우핑을 필요에 따라 전철적으로 약 10.51 내지 11.01볼트로 설정함으로써 NMOS 및 PMOS 트랜지스터의 한계 전압을 조절하는 데 사용될 수 있다. 바람직한 실시예에 있어서, 한계 전압 주입은 약 1×10^{16} 내지 1×10^{18} 의 전

랑 및 약 30 내지 100KeV의 에너지에서의 붕소의 주입이다. 상기 한계 전압 주입은 NMOS 트랜지스터의 한계 전압을 설정한다. 상기 붕소 및 태플 층으로 부터의 p+의 상부 확산은 NMOS 트랜지스터에 대한 웰 포도필을 설정한다. n-웰 주입과 연관된 한계 전압 주입은 PMOS 트랜지스터에 대한 한계 전압을 설정한다. 바람직한 실시예에 있어서, 그러한 한계 전압 주입은 결과적으로 NMOS 트랜지스터에 0.7 내지 0.9 볼트의 한계 전압을 제공하고 PMOS 트랜지스터에 -0.8 내지 -1.0 볼트의 한계 전압을 제공한다.

이어서, 상기 스크린 산화물은 벗겨 내고 당업자에게 잘 알려져 있는 수단을 사용하여 얇은(100 내지 200 Å 정도, 바람직하게는 135 내지 165 Å) 게이트 산화물 층이 성장된다. 이어서, 얇은(100 내지 1000 Å 정도, 바람직하게는 400 내지 600 Å) 폴리실리콘 층(60; 제2c도)이 얇은 게이트 산화물 층상에 대포지트되고 NMOS 및 PMOS 게이트를 한정하도록 상기 폴리실리콘 층상에 형성된다. NMOS 및 PMOS 게이트(38, 40)상의 폴리실리콘을 제외하고 플라즈마 에칭으로 디바이스의 모든 영역으로 부터 바람직하지 않은 폴리실리콘이 제거된다. 이어서, 상기 마스크는 증래의 기법에 의해 제거된다. 상기 얇은 폴리실리콘 층(60)에 의한 게이트 산화물의 보호는 거의 결함을 갖지 않는 MOS 게이트(38, 40)를 제공하는 데, 그 이유는 MOS 게이트(38, 40)가 포토레지스트에 직접 노출되지 않기 때문이다.

제2d도는 공정 단계의 다음 순서를 예시한 것이다. 약 3500 Å의 두께를 지니는 다른 한 진성 폴리실리콘 층(64)이 디바이스의 표면을 가로 질러 대포지트되고 캡 산화물 층(66)이 상기 폴리실리콘 층(64)의 열 산화에 의해 형성된다. 이어서, 디바이스는 최소한 바이폴라 트랜지스터의 베이스 및 레지스터의 얇게 도우핑된 영역을 노출시키도록 포토레지스트로 마스크된다. 몇몇 실시예에 있어서는, 단지 NMOS 및 PMOS 트랜지스터 영역만이 마스크에 의해 보호된다. 이어서, 베이스 주입(67)이 이행되고 베이스가 어닐 처리된다. 바람직한 실시예에 있어서, 상기 베이스 주입은 약 30 내지 100KeV의 에너지를 사용하는. 어닐 처리 이전에, 상기 폴리실리콘은 약 1×10^{17} 내지 1×10^{20} 의 정미 도우펀트 농도를 지니고 이러한 도우펀트의 일부는 어닐 처리 동안 베이스 영역(18; 제2e도) 내로 확산된다. 바람직한 실시예에 있어서, 어닐 처리는 20 내지 60분 동안 900-1000°C까지 상기 구조를 가열함으로써 이행되며, 결과적으로 p-베이스 영역은 약 1000 내지 4000의 두께 및 약 1×10^{17} 내지 1×10^{20} 의 도우펀트 농도, 바람직하게는 약 1×10^{18} 의 도우펀트 농도를 지닌다.

그후, 결과적으로 레지스터(24)의 일부, 베이스 접점(26, 26'), 및 PMOS 소오스 및 웰 탭 접점(32)인 영역을 노출시키도록 마스크가 형성된다. 상기 영역은 약 1×10^{17} 내지 1×10^{20} 의 농도로, 바람직하게는 붕소를 사용하는 경우 약 1×10^{18} 의 도우펀트 농도로 p+ 도우핑되는 것이 바람직스럽다. p+ 마스크는 제거되고 다른 한 마스크가 결과적으로 바이폴라 에미터 접점(27), 바이폴라 콜렉터 접점(20), NMOS 게이트(30), 및 PMOS 드레인 접점(36a)으로서 사용되는 영역(68a, 68b, 68c)을 노출시키도록 디바이스의 표면상에 형성된다. 상기 영역(68a-68c)은 약 100KeV의 주입 에너지를 사용하여 약 1×10^{17} 내지 1×10^{20} 의 농도로, 바람직하게는 비소를 사용하는 경우 1×10^{18} 내지 1×10^{20} 의 도우펀트 농도로 n+ 도우핑된다. 상기에 기재된 바와 같이, PMOS 게이트는 n+ 또는 p+ 일 수 있음으로써 n+ 마스크나 p+ 마스크중 어느 하나에 포함될 수 있다.

제2f도에 있어서, 약 1000 내지 1500 Å의 두께를 지니는 질화물층(69)은 차후의 주입이 레지스터, 에미터, MOS 게이트를 관통하는 것을 방지할 목적으로 대포지트된다. 이어서, 상기 폴리실리콘 층(64)은 약 10 내지 20분 동안 850 내지 950°C에서 어닐 처리된다.

다음에, 바이폴라 트랜지스터의 베이스, 에미터, 및 콜렉터 접점 및 NMOS 및 PMOS 트랜지스터의 소오스 접점, 게이트, 및 드레인 접점을 형성하도록 마스크가 질화물의 표면상에 형성된다. 염소 또는 브롬의 화학적 작용을 사용하는 건식 에칭의 결과로 제2g도에 도시된 구조가 만들어 진다. 이어서, 마스크가 제거된다. 플랫팅 방식의 얇게 도우핑된 드레인(lightly doped drain; LDD) 주입이 이행되는 데, 이 경우 소오스 및 드레인 은 약 20 내지 100KeV의 주입 에너지, 바람직하게는 약 20 내지 50의 주입 에너지를 사용하여 인 또는 비소와 같은 n-형 도우펀트로 얇게 주입된다. 이러한 주입은 결과적으로 NMOS 트랜지스터의 소오스 및 드레인 영역에서의 정미 도우펀트 농도가 약 1×10^{17} 내지 1×10^{20} 이게 한다. 마찬가지로 제2h도에 예시되어 있는 바와 같이, BF₃ 또는 B+ 같은 도우펀트를 사용하는 p-형 LDD는 바이폴라 트랜지스터 및 PMOS 트랜지스터의 표면을 가로 질러 이행되고 단지 PMOS 트랜지스터의 소오스 및 드레인 및 바이폴라 트랜지스터의 진성 베이스 영역만이 마스크에 의해 노출된다. 보다 중후하게 도우핑된 p-영역(74)은 바이폴라 트랜지스터의 외인성 베이스내에 형성되고 보다 중후하게 도우핑된 p-영역(76)은 PMOS 트랜지스터의 게이트 주위에 형성된다. 상기 영역(74, 76)에서의 결과적인 정미 도우펀트 농도는 약 1×10^{17} 내지 1×10^{20} , 바람직하게는 약 1×10^{18} 이다. 주입 에너지는 약 10 내지 50KeV인 것이 바람직스럽다. 도우펀트로서 B+가 사용되는 경우, 주입 에너지의 하한 범위가 사용된다.

질화물을 벗겨 내는 동안 중후하게 도우핑된 실리콘 영역을 보호하기 위해 캡 산화가 이행된다. 이어서, 질화물이 디바이스의 표면으로 부터 벗겨지고 저온 산화물(Low Temperature Oxide) 대포지션이 이행된다. 실리콘사이드 제거 마스크(도시되지 않음)는 실리콘사이드의 형성이 필요하지 않은 디바이스의 폴리실리콘 영역상에(예컨대, 레지스터의 중심 부분상에)형성된다. 이어서, 산화물이 에치 백(etch back)되어, 당업자에게 알려져 있는 수단을 사용하여 제2i도에 도시되어 있는 바와 같이 레지스터(24)상에 산화물(45)을 남겨 두고 소오스 접점(28, 36), 웰 탭(32), 게이트(30, 34), 에미터 접점(27), 베이스 접점(26, 26'), 및 콜렉터 접점(20)의 노출된 측면상에 스페이서 산화물을 남겨 둔다. 이어서, 최소한 NMOS 및 PMOS 트랜지스터의 게이트(30, 34)및 바이폴라 에미터 접점(27)상의 측벽 산화물 및 레지스터 산화물(45)의 보호를 위해 다른 한 마스크(79)가 디바이스상에 형성된다. 디바이스는 약 80초 동안 BCF를 사용하여 에칭되고, 제2j도에 도시된 바와 같이, 산화물은 레지스터/베이스 접점(26, 26'), 콜렉터 접점(20), 및 NMOS 및 PMOS 트랜지스터의 소오스 및 드레인 접점(28, 32, 36a)의 측벽으로부터 제거된다.

제2k도를 참조하면, 마스크가 형성되고 중후한 p+(BF₃) 주입이 제2k도에 도시된 영역에서, 다시 말하면, PMOS 트랜지스터의 소오스/드레인 영역 및 바이폴라 트랜지스터의 외인성 베이스 영역에서 이행된다. 이러한 주입의 목적은 p+ 소오스/드레인 및 베이스 면(sheet) 저항 및 접촉 저항을 낮추는 것이다. 그러

한 주입은 약 20 내지 100keV, 바람직하게는 40keV의 에너지를 사용한다. 마찬가지로, 제2도에 도시되어 있는 바와 같이, n+(비소) 주입은 n+ 소오스/드레인 면 저항 및 접촉 저항을 낮출 목적으로 NMOS 트랜지스터의 소오스/드레인 영역에서 진행된다. 비소의 주입은 약 50 내지 150keV, 바람직하게는 100keV의 에너지를 사용한다. 이어서, 디바이스는 약 10 내지 20초 동안 약 1000 내지 1100°C에서 RTA방식으로 어닐 처리된다.

다음에, 티타늄, 몰리브덴, 탄탈, 텅스텐 또는 그와 같은 원소와 같은 고용점 금속 층은 디바이스의 표면을 가로 질러 대포지된다. 당업자에게 잘 알려져 있는 수단을 사용하여, 상기 층은 대포지된 금속이 폴리실리콘 및 실리콘과 접촉하는 영역내에 금속 실리콘화물을 형성하도록 가열된다. 이어서, 반응하지 않고 남아 있는 금속은 디바이스로부터 에칭되어 제거됨으로써, 제2도에 도시된 바와 같은 구조를 남겨둔다. 바람직하게는, 실리콘사이드 반응이 두 번의 단계로 행해진다. 초기에 대포지된 티타늄은 인접 층에 정착하도록 필요에 따라 제1시간 주기동안 인접 폴리실리콘 및 실리콘과 반응된다. 제1반응에서, 티타늄은 SiO_2 와 반응하지 않는다. 반응되지 않은 티타늄, 주로 어떠한 산화물과도 접촉하는 티타늄은 예를 들면 H_2O 또는 NH_4OH 를 사용하여 제거된다. 제2실리콘사이드 반응이 생기게 하도록 디바이스가 다시 가열되어 티타늄 및 인접 폴리실리콘 및 에피택셜 실리콘 사이의 반응을 완료시킨다. 그러한 반응은 앞서 기술한 바와 같이 두 번의 단계로 이행되는 것이 바람직스러운데, 그 이유는 단일의 단계 또는 단일의 티타늄의 반응이 촉박 산화를 통과한 티타늄의 바람직스럽지 않은 반응을 야기시킬 수 있기 때문이다.

제2도에 도시되어 있는 바와 같이, 바이폴라 폴리실리콘 베이스접점(26, 26')은 수평 상부 표면을 가로 지르고 수직 측벽을 따라 실리콘사이드(46)로 도포되어 있다. 그 외에도, 실리콘사이드 접점은 수직 측벽으로부터 단결정 베이스의 수평 상부 표면을 따라 에미터(27)의 측벽 산화물에 이르기까지 완전히 연장되어 있다. 에미터(27)의 실리콘사이드 접점(48)은 한 측벽 산화물로부터 반대측 측벽 산화물로 에미터의 수평 상부 표면을 가로 질러 연장되어 있다. 컬렉터 접점(20) 상의 실리콘사이드(80)는 컬렉터 접점의 수직 측벽에 이르기까지 그리고 상기 접점의 수평 상부 표면을 가로 질러 완전히 연장되어, 전체 산화물 영역(22b, 22c) 상에서 중단된다. NMOS 폴리실리콘 소오스 접점(28)상의 실리콘사이드(54a)는 전체 산화물 영역(22c)로부터 상부 표면을 가로 질러 접점의 수직 측벽에 이르기까지 그리고 접점의 수직 부분으로부터 NMOS 트랜지스터의 단결정 소오스 영역까지 연장되어 있다. 그 이외에도, 실리콘사이드는 접점으로부터 소오스 영역의 수평 상부 표면을 가로 질러 게이트 측벽 산화물까지 연장되어 있다. 바이폴라 에미터 접점(27)과 마찬가지로, NMOS 트랜지스터의 폴리실리콘 게이트(30)는 한 산화물 측벽으로부터 반대측 측벽 산화물로 연장되어 있는 상부 표면을 가로 지르는 실리콘사이드(50)를 포함한다.

NMOS 소오스(28)와는 반대로 도우핑된 폴리실리콘 웰(32)은 또한 접점의 수직 측벽 및 수평 상부 표면을 도포하는 실리콘사이드(54b)로 도포되어 있다. 그 이외에도, 실리콘사이드(54b)는 트랜지스터의 상부 표면을 가로 질러 NMOS 트랜지스터 게이트(30)의 측벽 산화물에 이르기까지 연장되어 있다. 웰 접점 층(54b)은 상기 게이트(30)에 근접하게 연장되어 있고 여전히 측벽 산화물 층(42)에 의해 상기 게이트와 이격되어 있음으로써, 웰(32) 및 상기 게이트(30) 사이의 원하지 않는 접합의 형성을 방지한다.

PMOS 게이트(34)는 수평 상부 표면을 가로 지르는 실리콘사이드(52)를 포함하며, PMOS 소오스 접점(36a)은 수평 상부 표면, 수직 측벽을 가로 지르고 드레인의 수평 상부 표면을 가로 질러 게이트 측벽 산화물(42)에 이르는 실리콘사이드(54d)를 포함한다. 주지된 바와 같이, PMOS 드레인 접점 및 웰(32)은 수평 상부 표면을 가로 지르는 실리콘사이드를 포함한다. 상기 웰은 또한 수직 측벽상의 실리콘사이드로 도포된다. 그 이외에도, 실리콘사이드는 PMOS 트랜지스터 드레인(20c)의 상부 표면을 가로 질러 PMOS 트랜지스터(34)의 측벽 산화물(42)에 이르기까지 연장되어 있다. 웰 접점 실리콘사이드 층(54b)은 게이트 접점(34)에 근접하게 연장되어 있고 여전히 측벽 산화물 층(42)에 의해 게이트 접점(34)로부터 이격되어 있음으로써, 웰(32) 및 게이트(34) 사이의 원하지 않는 접합의 형성을 방지한다.

본원에 개시되어 있는 접점 구조는 측벽 폴리실리콘 접점 스트랩의 실리콘사이드화를 통해 감소된 소오스/드레인 저항을 제공함으로써, CMOS 트랜지스터의 전류 구동 능력을 증대시키고 폴리실리콘-실리콘 접촉 저항을 제거한다. 감소된 폴리실리콘 소오스/드레인-에피택셜 실리콘 소오스/드레인 오버랩은 이러한 측벽의 측벽 스페이스 산화물의 제거 및 이러한 측벽의 실리콘사이드화에 의해 이루어 지는데, 그 이유는 전류가 이러한 측벽 실리콘사이드를 통해 전달되고 에피택셜 실리콘-폴리실리콘 경계를 통해 전달되지 않기 때문이다. 이는 보다 작은 CMOS 트랜지스터 활성 부위를 통한 보다 높은 팩킹 밀도(packing density)를 제공한다.

국부 상호접속의 측벽 실리콘사이드는 상호접속의 저항을 2배 정도로 개선시킴으로써, 회로 성능을 향상시킨다. 접지 탭에 사용되는 바와 같이, 본원 발명에 따른 실리콘사이드화된 폴리실리콘은 도우핑된 폴리실리콘(32)을 통해 기판으로 전류를 도통시키기 보다는 오히려 폴리실리콘 웰(32)의 실리콘사이드화된 측벽(54b)을 통해 기판으로 전류를 도통시킴으로써 접지 탭 저항을 감소시킨다. 상기 웰(32)은 두가지 형태의 에피택셜 실리콘에 대한 접점(다시 말하면, n-형 NMOS 드레인(20b)에 대한 NMOS 드레인 접점 및 p-형 PMOS 드레인(20c)에 대한 PMOS 드레인 접점)으로서 작용할 수 있는데, 그 이유는 실리콘사이드(54b)가 달리 접합이 될 단락 회로를 형성하기에 효과적이기 때문이다. 상기에 기술된 자기정렬된 웰의 제공은 측면으로 분리된 웰 영역이 필요하지 않기 때문에 보다 높은 팩킹 밀도를 제공한다. 상기에 기술된 디바이스는 개별적인 웰 분리 영역이 필요하지 않기 때문에 보다 낮은 매몰 층-기판 캐패시턴스를 제공한다.

제2도는 산화물 층(56)이 대포지 및 마스크되어 내부에 접촉 구멍을 형성하는 제조 순서에 있어서의 다음 단계를 예시한 것이다. 금속이 디바이스의 표면상에 대포지되고, 선택된 영역으로부터 마스크, 에칭되어 제1도에 도시된 디바이스를 제공한다.

III. 디바이스 성능

하기 표1은 상기에 기재된 본 발명의 한 실시예에 따라 제조된 디바이스의 전기적인 파라메타를 요약한 것이다.

[표 1]

BICMOS 트랜지스터 파라미터	
<u>CMOS :</u>	
게이트 산화물 두께 [Å]	150 ± 15
L_{eff} (n- 채널) [μm]	0.7 ± 0.15
L_{eff} (p- 채널) [μm]	0.7 ± 0.15
최소 p- 및 n- 게이트 길이	0.8
n- 한계 전압 [V]	0.75 ± 0.1
p- 한계 전압 [V]	- 0.85 ± 0.1
n- 채널 I_{dsat} [mA/ μm]	> 0.38
p- 채널 I_{dsat} [mA/ μm]	> 0.17
I_{ss} (즉, 기관 전류) [mA/ μm]	1 ± 20%
<u>APN :</u>	
최소 에미터 폭 [μm]	0.8
디바이스 면적 [μm^2]	1.6 × 6.1
전류 이득	90
E - 3 브레이크다운 [V]	6
C - 3 브레이크다운 [V]	16
C - E 브레이크다운 [V]	8

제3도는 본 발명의 한 실시예에 따라 제조된 바이폴라 트랜지스터에 대한 전형적인 I_c 대 V_{ce} 곡선을 예시한 것이다. 제3도는 5개의 디바이스가 고 레벨의 얼리(Early) 전압(10V 내지 30V 정도)을 지나는 것을 보여 준다. 비록 베이스 폭이 좀더라도 총체적인 베이스 전하가 많기 때문에 고 레벨의 얼리 전압이 얻어진다고 생각된다. 제4a도 및 제4b도는 드레인 전압이 0.1 및 5볼트인 경우, 40/0.8(즉, 폭=40 μm , 길이=0.8 μm)인 PMOS 및 NMOS 트랜지스터에 대한 부분 한계 기술기이다. 상기 트랜지스터는 6데케이드 보다 양호한 오프-온 전류 비율 및 $V_{ds}=\pm 5V$ 인 경우 nA 범위의 누설 전류를 지닌다.

표2는 본 발명의 한 실시예에 따라 제조된 부하가 걸리고 걸리지 않은 CMOS, BICMOS 및 ECL 디바이스에 대한 시뮬레이션된 게이트 지연을 제공한다. 제5도는 표2에 기재된 데이터를 전개하는 데 사용되는 BICMOS 링 셀을 예시한 것이다. 표2는 본 발명에 따라 제조된 디바이스가 전형적인 선행 기술의 CMOS 링에 비하여 고 성능의 CMOS 링을 제공한다.

[표 2]

	링 발진기 지연 (피코 초)	
	두 부하	0.5 pF 부하
CMOS	82	415
BICMOS	185	290
ECL	55	120

상기 기술된 설명은 예시적인 것이지 제한하려고 의도된 것이 아니라는 점을 이해하여야 한다. 본 발명의 여러 가지 변형은 본 명세서를 검토하면 당업자에게는 자명해 질 것이다. 단지 예를 들어 본원에서 보여준 디바이스의 특정한 영역만이 p-형 또는 n-형인 것으로 예시되었지만, 당업자에게는 n-형 및 p-형 도우펀트의 역할이 용이하게 역전될 수 있다는 점이 자명해 질 것이다. 더욱이, 본 발명이 몇몇 경우에서 특정한 도우펀트 농도에 대하여 예시되었지만, 광범위한 도우펀트 농도가 본 발명의 범위로 부터 벗어나지 않고서도 본원에서 보여준 디바이스의 여러 특징을 위해 사용될 수 있다는 점이 자명해 질 것이다. 더군다

나, 본 발명이 주로 BICMOS 디바이스와 관련하여 예시되었지만, 본 발명의 여러 실시態양은 바이폴라 트랜지스터, MOSFET, 또는 분리된 기타 디바이스의 제조에 적용될 수 있다. 또한, 본 발명이 주로 측방형 디바이스에 대하여 예시되었지만, 본 발명은 수직형 디바이스에도 동등하게 적용될 수 있다. 그러므로, 본 발명의 범위는 상기에 기재된 설명을 참조하여 결정되는 것이 아니라, 그 대신 통제적인 등가 범위와 함께 청구된 청구 범위를 참조하여 결정되어야 한다.

(57) 청구의 범위

청구항 1

제1도전 형태의 채널 영역 및 제1도전 형태의 도우핑된 웰 영역내에 형성된 상부 표면을 갖는 소오스 및 드레인 영역을 지니며, 상기 채널 영역이 산화물 층에 의해 도우핑된 폴리실리콘 게이트로 부터 분리되고, 상기 폴리실리콘 게이트는 최소한 하나의 측벽 표면 및 상부 표면을 지니며, 상기 소오스, 드레인, 및 게이트는 제1 전계효과 디바이스를 한정하고, 상기 소오스 및 드레인 영역 중 최소한 하나의 영역이 상부 및 측벽 표면을 지니는 제1도전 형태의 제1도우핑된 폴리실리콘 영역에 의해 덮여져 있는 기판에서, 상기 전계 효과 디바이스에 대한 결합된 웰 및 소오스/드레인 접점을 형성하는 방법에 있어서, 상기 소오스 및 드레인 영역 중 한 영역에 인접하여 상기 기판내에 제1도전 형태의 접속 영역을 형성하는 단계로서, 상기 접속영역은, 상기 제1도우핑된 폴리실리콘 영역의 일부에도 인접해 있고, 웰층으로서 상기 제1도우핑된 폴리실리콘 영역을 배치시키도록 상기 웰 영역 및 상기 제1도우핑된 폴리실리콘 영역 사이에 실질적인 도전 경로의 일부를 제공하는 상기 접속 영역 형성 단계; 및 상기 제1폴리실리콘 영역의 최소한 상부 표면 및 최소한 측벽 표면 및 상기 소오스 및 드레인 영역 중 한 영역의 최소한 상부 표면의 일부상에 금속 실리사이드를 형성하는 단계로서, 실리사이드 층은 상기 소오스 및 드레인 영역 중 한 영역에 대한 접점으로서 상기 제1폴리실리콘 영역을 배치시키도록 상기 소오스 및 드레인 영역 중 한 영역 및 상기 제1폴리실리콘 영역 사이에 실질적인 도전 경로를 형성하는 금속 실리사이드 형성 단계를 포함하는 방법.

청구항 2

제1항에 있어서, 상기 소오스 및 드레인 영역 중 한 영역은 상기 제1도전 형태와는 다른 제2도전 형태를 갖는 방법.

청구항 3

제1항에 있어서, 상기 제1폴리실리콘 영역은 제2전계 효과 디바이스의 소오스 및 드레인 중 하나와 접촉하고, 상기 소오스 및 드레인 중 하나는 상기 제1도전 형태를 지니며, 상기 금속 실리사이드를 형성하는 단계는 상기 제2전계효과 디바이스의 소오스 및 드레인 영역 중 한 영역의 상부 표면의 일부상에 금속 실리사이드를 형성하는 단계를 부가적으로 포함하는 방법.

청구항 4

제1항에 있어서, 상기 게이트의 측벽상에 산화물을 선택적으로 배치시키는 단계를 부가적으로 포함하는 방법.

청구항 5

제4항에 있어서, 상기 산화물 배치 단계는, 상기 기판의 일부를 상기 산화물로 피복하는 단계; 상기 게이트의 제1측벽상에 최소한 스페이서 산화물 층을 남겨두도록 상기 산화물 피막의 일부를 에칭하는 단계; 최소한 상기 제1게이트 측벽 산화물 층을 마스크하는 단계; 및 마스크되지 않은 산화물을 제거하도록 에칭하는 단계를 포함하는 방법.

청구항 6

제4항에 있어서, 상기 금속 실리사이드 층은 실질적으로 상기 제1도우핑된 폴리실리콘 영역의 측벽으로부터 상기 게이트의 한 측벽상의 산화물로 연장되는 방법.

청구항 7

제1항에 있어서, 상기 금속 실리사이드 형성 단계는, 최소한 상기 제1폴리실리콘 영역의 상부 표면 및 측벽 및 상기 소오스 및 드레인 영역 중 한 영역의 상부 표면의 일부를 고융점 금속으로 피복시키는 단계; 상기 제1폴리실리콘 영역 및 상기 소오스 및 드레인 영역 중 한 영역에 인접한 최소한 상기 고융점 금속의 일부를 상기 폴리실리콘의 여러 부분 및 상기 기판과 반응시키는 단계; 및 상기 고융점 금속의 반응되지 않은 부분을 제거하는 단계를 포함하는 방법.

청구항 8

제7항에 있어서, 상기 제거 단계는 H_2O_2 및 NH_4OH 로 이루어진 그룹으로 부터 선택된 재료와 상기 고융점 금속을 접촉시키는 단계를 포함하는 방법.

청구항 9

전계 효과 디바이스에 대한 결합된 웰 및 소오스/드레인 접점을 형성하는 방법에 있어서, 제1도전 형태를 갖는 최소한 제1분리 웰을 지니는 기판을 제공하는 단계; 상기 기판내의 도우핑된 소오스 및 드레인 영역 및 채널 영역을 형성하는 단계로서, 상기 소오스 및 드레인 영역이 상기 제1도전 형태와는 다른 제2도전 형태를 지니는 단계; 상기 기판의 일부에 인접하여 게이트 산화물 층을 배치시키는 단계; 상기 기판의 일부상에 폴리실리콘 층을 형성하는 단계; 상기 게이트 산화물 층에 인접하여 게이트를 형성하도록 상기 폴리실리콘의 제1영역을 도우핑하는 단계; 상기 제1도전 형태를 갖는 제2영역을 제공하도록 상기 폴리실리콘 층의 제2영역을 도우핑하는 단계; 상기 제1 및 제2폴리실리콘 영역사이에 공간을 한정하여 상기 기판의 제1영역을 노출시키도록 상기 폴리실리콘 층의 여러 부분을 선택적으로 에칭하는 단계로서, 상기

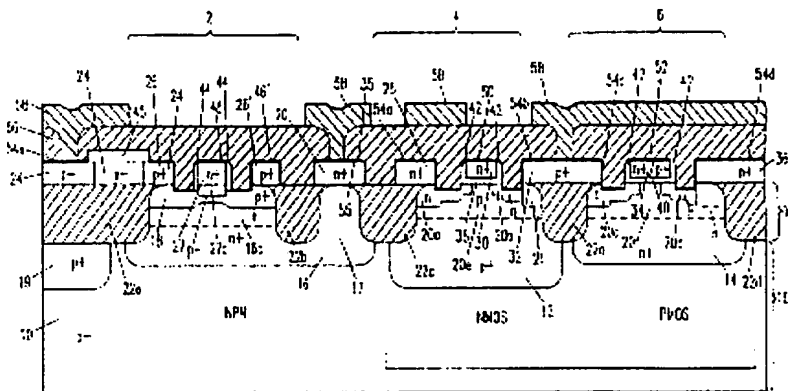
기판의 제1영역은 상기 소오스 및 드레인 영역 중 한 영역의 상부 표면인 에칭 단계; 확산된 영역을 형성하도록 상기 제2폴리실리콘 영역으로 부터 상기 기판내로 도우핑 재료를 확산시키는 단계로서, 상기 확산된 영역은 웰층으로서 상기 제2폴리실리콘 영역을 배치시키도록 상기 제2폴리실리콘 영역 및 상기 분리 웰 사이에 실질적인 도전 경로의 일부를 제공하는 확산 단계; 및 상기 제2폴리실리콘 영역의 상부 및 측면 표면의 여러 부분 및 상기 제1가판 영역을 금속 살리사이드로 피복하는 단계로서, 상기 금속 살리사이드는 상기 소오스 및 드레인 영역 중 한 영역에 대한 접점으로서 상기 제2폴리실리콘 영역을 배치시키도록 상기 제2폴리실리콘 영역 및 상기 소오스 및 드레인 영역 중 한 영역 사이에 실질적인 도전 경로를 형성하는 피복 단계를 포함하는 방법.

청구항 10

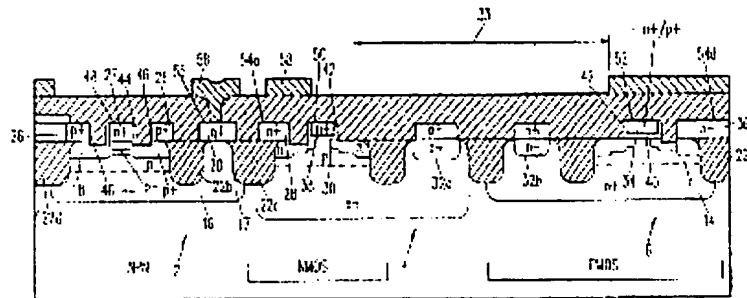
제9항에 있어서, 상기 제2영역은 제2전계효과 디바이스의 소오스 및 드레인 중 하나와 접촉하며, 상기 제2전계효과 디바이스의 소오스 및 드레인 중 하나는 상기 제1도전 형태를 지니고, 상기 피복 단계는 제2전계효과 디바이스의 소오스 및 드레인 영역 중 한 영역의 상부 표면의 일부를 금속 살리사이드로 피복하는 단계를 추가적으로 포함하는 방법.

도 10

도 10

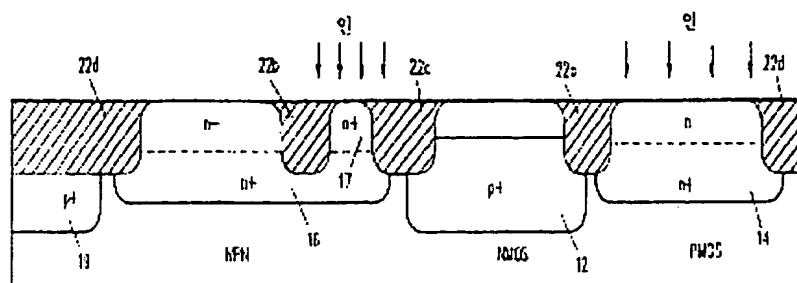


제 1 도

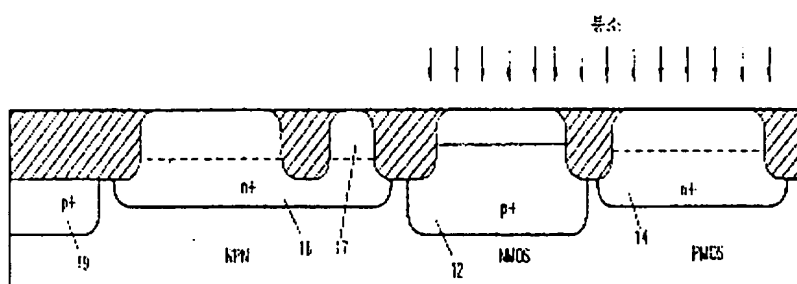


제 1a 도

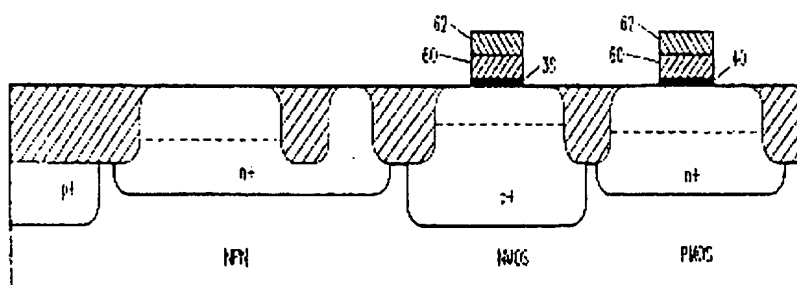
도 12a



도 12b



도 12c



도 12d

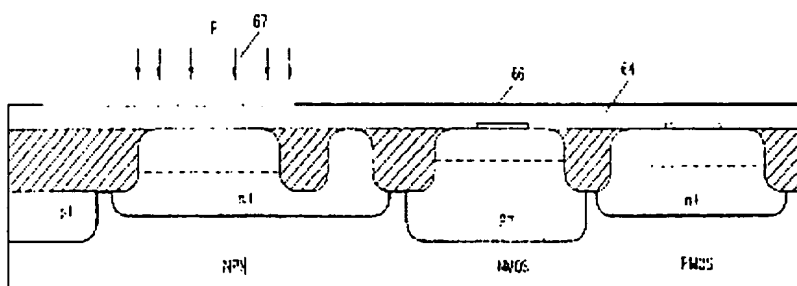


Fig. 2a

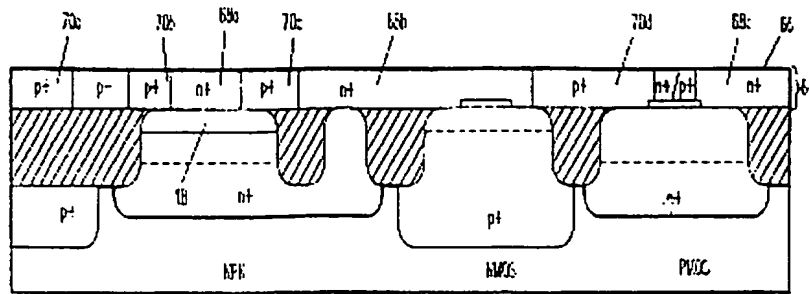


Fig. 2b

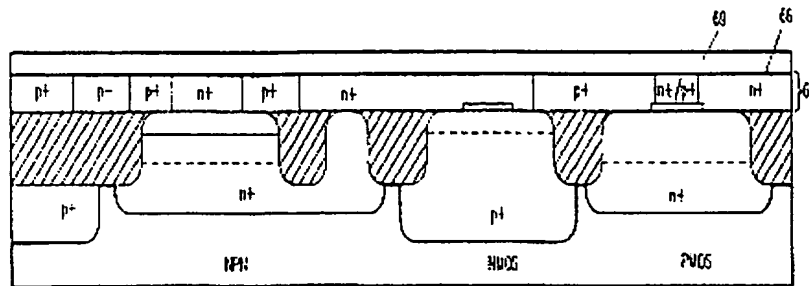


Fig. 2c

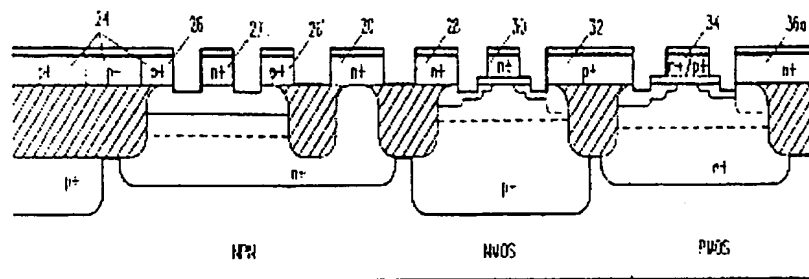


Fig. 2d

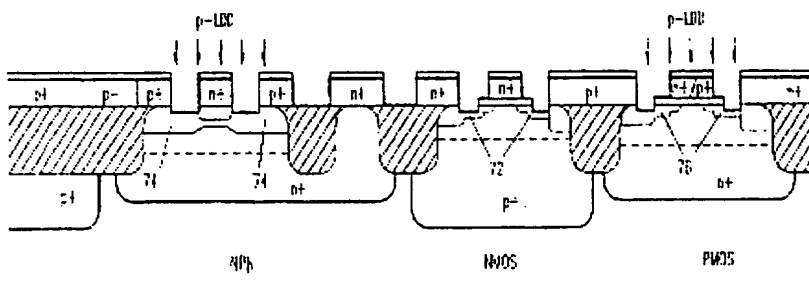


Fig. 192i

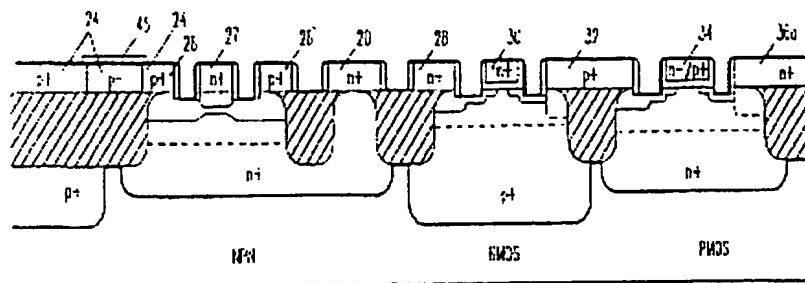


Fig. 192j

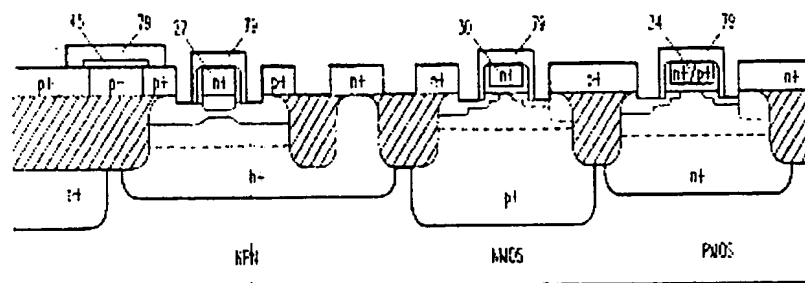


Fig. 192k

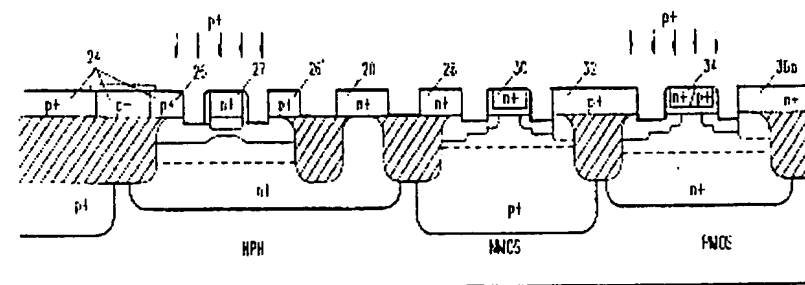


Fig. 192l

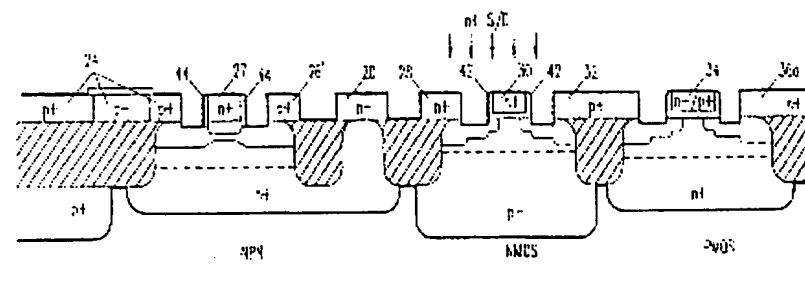


Fig. 1B2

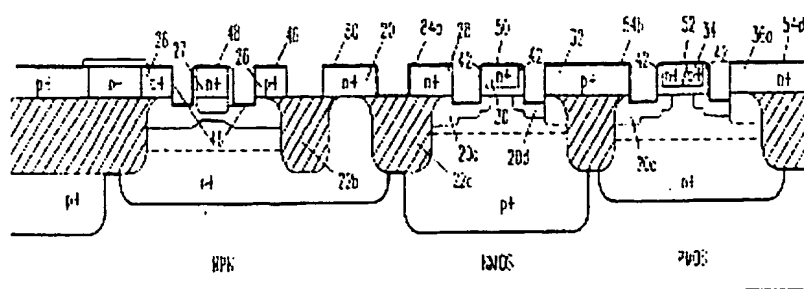


Fig. 1B2a

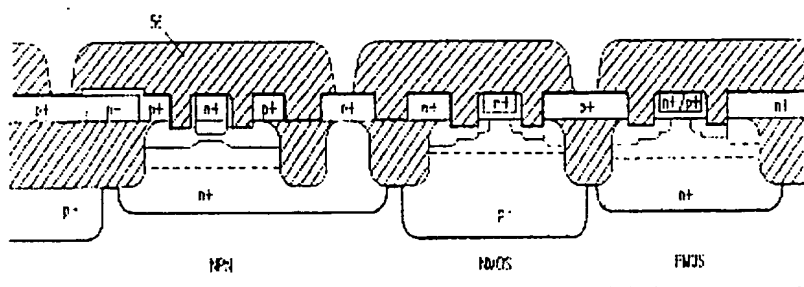


Fig. 1B3

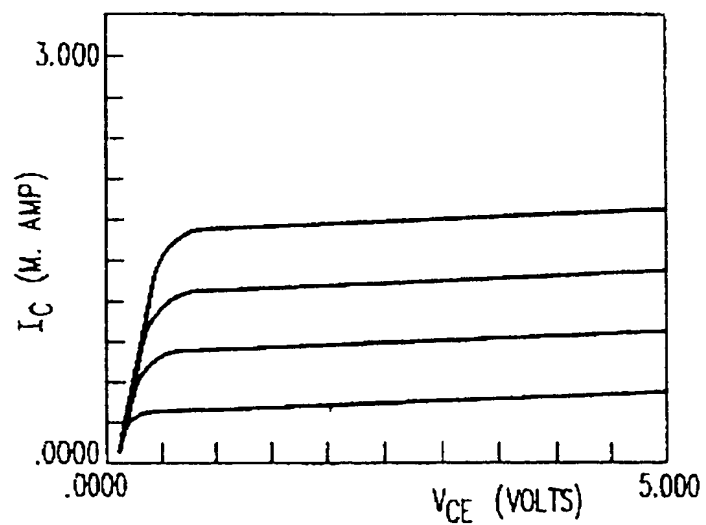


Fig. 15-14a

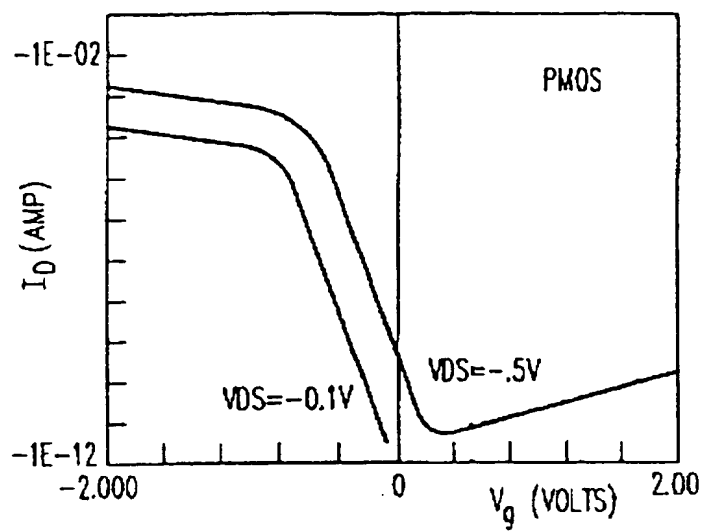
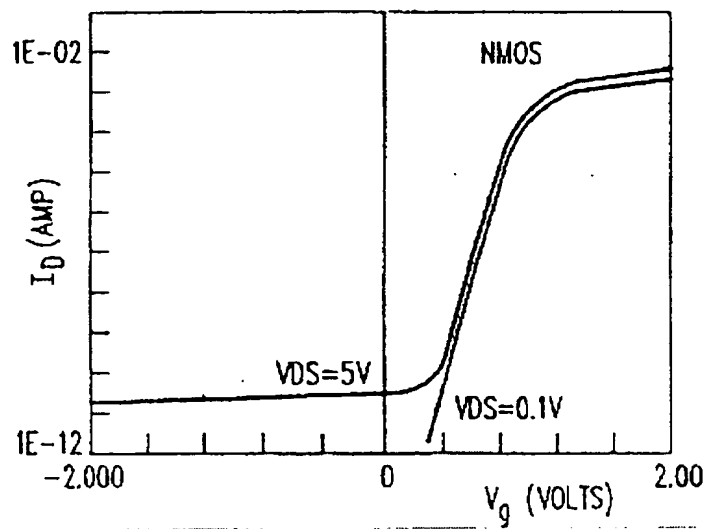
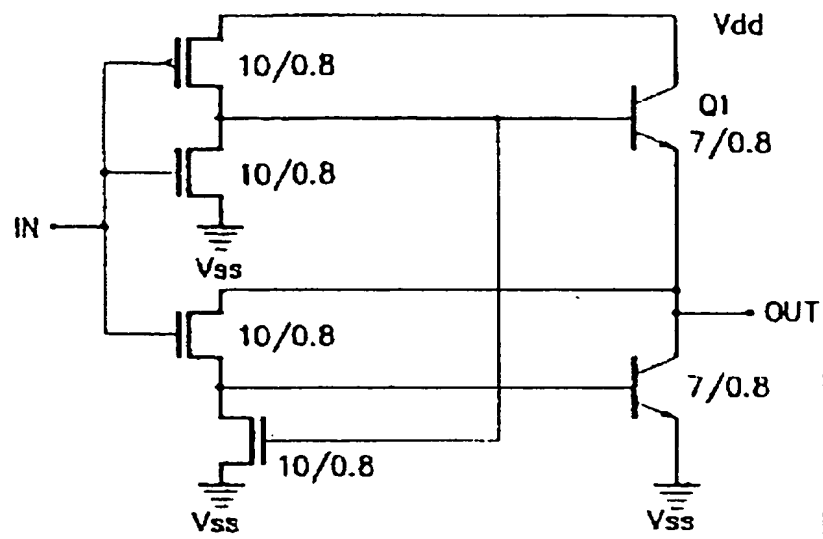


Fig. 15-14b



5.05



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.